

Docket No.: HI-0174

PATENT

**IN THE UNITED STATES PATENT AND TRADEMARK OFFICE**

In re Application of :

Jin Hyung RYU, Bong Joo BAIK,  
Sam Je CHO, and Woo Sung JANG :

Serial No.: New U.S. Patent Application :

Filed: August 22, 2003 :

Customer No.: 34610 :

For: DRIVING APPARATUS OF PLASMA DISPLAY PANEL AND  
FABRICATION METHOD THEREOF

**TRANSMITTAL OF CERTIFIED PRIORITY DOCUMENT**

U.S. Patent and Trademark Office  
2011 South Clark Place  
Customer Window  
Crystal Plaza Two, Lobby, Room 1B03  
Arlington, Virginia 22202

Sir:

At the time the above application was filed, priority was claimed based on the following application:

Korean Patent Application No. 2002/50166 filed August 23, 2002.

A copy of each priority application listed above is enclosed.

Respectfully submitted,  
FLESHNER & KIM LLP

Daniel Y.J. Kim  
Registration No. 36,186

P.O. Box 221200  
Chantilly, Virginia 20153-1200  
703 502-9440 DYK/dak

Date: August 22, 2003

Please direct all correspondence to Customer Number 34610

대한민국 특허청  
KOREAN INTELLECTUAL  
PROPERTY OFFICE

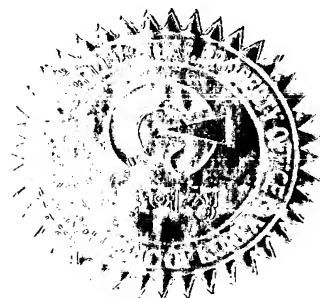
별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto  
is a true copy from the records of the Korean Intellectual  
Property Office.

출원번호 : 10-2002-0050166  
Application Number

출원년월일 : 2002년 08월 23일  
Date of Application AUG 23, 2002

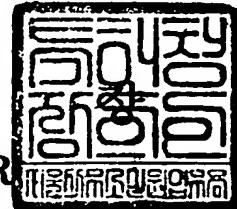
출원인 : 엘지전자 주식회사  
Applicant(s) LG Electronics Inc.



2003 년 06 월 02 일

특허청

COMMISSIONER





1020020050166

출력 일자: 2003/6/3

## 【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0001
【제출일자】	2002.08.23
【발명의 명칭】	플라즈마 디스플레이 패널의 구동장치 및 그의 제조 방법
【발명의 영문명칭】	DRIVE DEVICE OF PLASMA DISPLAY PANEL AND METHOD OF FABRICATING THE SAME
【출원인】	
【명칭】	엘지전자 주식회사
【출원인코드】	1-2002-012840-3
【대리인】	
【성명】	김영호
【대리인코드】	9-1998-000083-1
【포괄위임등록번호】	2002-026946-4
【발명자】	
【성명의 국문표기】	류진형
【성명의 영문표기】	RYU, Jin Hyung
【주민등록번호】	720703-1149116
【우편번호】	420-849
【주소】	경기도 부천시 원미구 중3동 1067-2번지 2층
【국적】	KR
【발명자】	
【성명의 국문표기】	백봉주
【성명의 영문표기】	BAIK, Bong Joo
【주민등록번호】	691125-1074414
【우편번호】	135-090
【주소】	서울특별시 강남구 삼성동 44-38(20/2)
【국적】	KR
【발명자】	
【성명의 국문표기】	조삼제
【성명의 영문표기】	CHO, Sam Je
【주민등록번호】	640411-1907014



1020020050166

출력 일자: 2003/6/3

【우편번호】	431-050
【주소】	경기도 안양시 동안구 비산동 1101-8 샛별한양아파트 302-1301호
【국적】	KR
【발명자】	
【성명의 국문표기】	장우성
【성명의 영문표기】	JANG, Woo Sung
【주민등록번호】	610923-1001812
【우편번호】	137-069
【주소】	서울특별시 서초구 방배본동 776-3 궁전아파트 B동 603호
【국적】	KR
【심사청구】	청구
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정 에 의한 출원심사 를 청구합니다. 대리인 김영호 (인)
【수수료】	
【기본출원료】	20 면 29,000 원
【가산출원료】	7 면 7,000 원
【우선권주장료】	0 건 0 원
【심사청구료】	4 항 237,000 원
【합계】	273,000 원
【첨부서류】	1. 요약서·명세서(도면)_1통



1020020050166

출력 일자: 2003/6/3

### 【요약서】

#### 【요약】

본 발명은 구동회로의 전기적 특성을 향상시킴과 아울러 크기를 줄인 플라즈마 디스플레이 패널의 구동장치 및 그의 제조 방법에 관한 것이다.

본 발명에 따른 플라즈마 디스플레이 패널의 구동장치는 플라즈마 디스플레이 패널을 제어하기 위한 적어도 하나 이상의 시스템제어회로와 데이터가 저장되는 적어도 하나 이상의 메모리가 하나의 패키지 내에서 집적되어 인쇄회로보드 상에 실장되는 멀티칩모듈을 구비하는 것을 특징으로 한다.

본 발명에 따른 플라즈마 디스플레이 패널의 구동장치 제조방법은 적어도 둘 이상의 기판들 각각에 홀을 형성하는 단계와, 홀이 형성된 기판 상에 회로패턴을 형성하는 단계와, 기판의 홀을 통하여 상기 회로 패턴이 각각 전기적으로 연결되도록 형성된 기판들을 적층하여 합착하는 단계와, 기판들을 동시 소성하여 패키지를 형성하는 단계와, 플라즈마 디스플레이 패널을 제어하기 위한 적어도 하나 이상의 시스템제어회로와 데이터가 저장되는 적어도 하나 이상의 메모리 및 표면실장부품들을 패키지 상에 실장하는 단계와, 시스템제어회로와 메모리가 실장된 패키지의 표면을 보호하기 위해 코팅재를 패키지 전면에 도포하여 코팅하는 단계와, 패키지의 회로 패턴에 따라 패키지의 후면에 납구를 부착하는 단계를 포함한다.

#### 【대표도】

도 5



1020020050166

출력 일자: 2003/6/3

## 【명세서】

### 【발명의 명칭】

플라즈마 디스플레이 패널의 구동장치 및 그의 제조 방법{DRIVE DEVICE OF PLASMA DISPLAY PANEL AND METHOD OF FABRICATING THE SAME}

### 【도면의 간단한 설명】

도 1은 종래 기술에 따른 플라즈마 디스플레이 패널의 구동시스템의 접속관계를 나타낸 도면이다.

도 2는 도 1에 도시된 구동시스템에서 PDP의 전극들을 간략히 나타낸 도면이다.

도 3은 도 1에 도시된 컨트롤 보드를 나타낸 평면도이다.

도 4는 도 1에 도시된 플라즈마 디스플레이 패널의 구동시스템의 배치를 나타낸 평면도이다.

도 5는 본 발명의 실시예에 따른 플라즈마 디스플레이 패널의 컨트롤 보드를 나타낸 평면도이다.

도 6은 도 5에 도시된 플라즈마 디스플레이 패널의 구동시스템의 배치를 나타낸 평면도이다.

도 7은 본 발명의 실시 예에 따른 멀티칩모듈 패키지의 공정을 알기 쉽게 나타낸 분해 사시도이다.

도 8은 도 7에 도시된 멀티칩모듈 패키지의 전면과 배면을 나타낸 사시도이다.



1020020050166

출력 일자: 2003/6/3

도 9는 본 발명의 실시 예에 따른 플라즈마 디스플레이 패널의 컨트롤 보드와 종래 기술에 따른 플라즈마 디스플레이 패널의 컨트롤 보드를 간략히 나타낸 평면도이다.

<도면의 주요 부분에 대한 부호의 설명>

11 : 인터페이스보드      12 : 직류-교류변환기

13 : 컨트롤보드      14 : 직류-직류변환기

15 : PDP모듈      16 : PDP

17 : 스캔구동부      18A, 18B : 어드레스구동부

19 : 서스테인구동부

YU1, YU2, YU3, YU4, YUn, YD1, YDn-3, YDn-2, YDn-1, YDn : 스캔전극

ZU1, ZU2, ZU3, ZU4, ZUn-3, ZUn-2, ZUn-1, ZUn : 서스테인전극

XU1, XU2, XU3, XU4, XUm-3, XUm, XD1, XD2, XD3, XD4, XDm-3, XDm : 어드레스전극

31 : 디지털데이터수신부      32 : 타이밍컨트롤러

33 : 메모리      34, 35, 36 : 버퍼

37 : 디지털 비디오 컨트롤러      62 : 멀티칩모듈(MCM)

71a, 71b, 71c, 71d : 그린테이프      72 : 비아홀

73 : 도전성물질      74 : 회로패턴

78 : 기판      81 : 멀티칩모듈패키지



1020020050166

출력 일자: 2003/6/3

82 : 표면실장부품      83 : 시스템제어회로

84 : 솔더볼      85 : 코팅재

86 : 메모리

### 【발명의 상세한 설명】

#### 【발명의 목적】

#### 【발명이 속하는 기술분야 및 그 분야의 종래기술】

<28> 본 발명은 플라즈마 디스플레이 패널에 관한 것으로, 특히 전기적 특성을 향상시킴과 아울러 크기를 줄이도록 한 플라즈마 디스플레이 패널의 구동장치 및 그의 제조방법에 관한 것이다.

<29> 플라즈마 디스플레이 패널(Plasma Display Panel; 이하 'PDP'라 함)은 통상 He+Xe, Ne+Xe, He+Ne+Xe 등의 가스 방전 시 발생하는 147nm의 자외선에 의해 형광체를 발광시킴으로써 문자 또는 그래픽을 포함한 화상을 표시하게 된다. 이러한 PDP는 박막화와 대형화가 용이하여 대면적 평판 디스플레이로서 주목받고 있을 뿐만 아니라 업체들의 상업적인 생산이 개시된 후 계속 시장을 넓혀 가고 있다. 이러한 PDP는 최근 각종 전자기기의 소형화 추세에 따라 PDP 역시 컴팩트(Compact) 타입으로 제작되어 가고 있다. 이에 의해, PDP를 제어하는 구동회로 역시 고집적화되어 가고 있으며 이러한 구동회로가 실장된 구동장치도 컴팩트화 되고 있다.

<30> 도 1 내지 도 4는 종래 PDP를 구동하는 시스템의 접속관계를 나타낸다.



<31> 도 1을 참조하면, 종래 PDP는 TV/PC 영상신호와 동기신호가 입력되는 인터페이스보드(11)와, 상용교류전원 AC 220[V]가 입력되는 교류-직류 변환기(이하, "AC-DC 변환기"라 함)(12)와, 인터페이스보드(11)와 AC-DC 변환기(12)에 접속되는 PDP 모듈(15)을 구비한다.

<32> 인터페이스보드(11)는 TV/PC 영상신호를 디지털 데이터로 변환하고 그 디지털 데이터를 PDP 모듈(15)에 공급함과 아울러 도시하지 않은 온스크린디스플레이 발생회로로부터 공급되는 온스크린디스플레이(OSD) 데이터와 도시하지 않은 리모콘으로 입력되는 리모콘 데이터를 PDP 모듈(15)에 공급한다.

<33> AC-DC 변환기(12)는 상용 교류전원 AC 220[V]에 대하여 직류로 변환하는 역할을 한다.

<34> PDP 모듈(15)은 상반부와 하반부가 분할 구동되는 PDP(16)와, PDP(16)의 어드레스 전극에 디지털 비디오 데이터를 공급하기 위한 어드레스 구동부(18A, 18B)와, PDP(16)의 스캔전극에 스캔신호와 서스테인신호를 공급하기 위한 스캔 구동부(17)와, 스캔 구동부(17)와 교대로 동작하여 PDP(16)의 서스테인전극에 서스테인신호를 공급하기 위한 서스테인 구동부(19)와, 인터페이스 보드(11)와 PDP(16)의 각 전극 구동부(17 내지 19) 사이에 접속되는 콘트롤보드(13)와, AC-DC 변환부(12)와 콘트롤보드(13) 및 PDP1(16)의 각 전극 구동부(17 내지 19) 사이에 접속되는 직류-직류 변환기(14)를 구비한다.

<35> PDP(16)는 도 2에서 알 수 있는 바, 매 수평라인당 하나의 서스테인전극쌍을 이루는 스캔전극들(YU<sub>1</sub> 내지 YU<sub>n</sub>, YD<sub>1</sub> 내지 YD<sub>n</sub>)과 서스테인전극들(ZU<sub>1</sub> 내지 ZU<sub>n</sub>)과, 서스테인전극쌍들(YU<sub>1</sub> 내지 YU<sub>n</sub>, YD<sub>1</sub> 내지 YD<sub>n</sub>, ZU<sub>1</sub> 내지 ZU<sub>n</sub>, ZD<sub>1</sub> 내지 ZD<sub>n</sub>)과 교차되고 분할된 어드레스전극들(XU<sub>1</sub> 내지 XU<sub>m</sub>, XD<sub>1</sub> 내지 XD<sub>m</sub>)을 구비한다.



<36> 스캔 구동부(17)는 스캔전극들(YU1 내지 YUn, YD1 내지 YDn)에 접속되어 리셋기간 동안 스캔전극들(YU1 내지 YUn, YD1 내지 YDn)에 리셋신호를 동시에 공급한 후에, 어드레스기간 동안 스캔펄스를 스캔전극들(YU1 내지 YUn, YD1 내지 YDn)에 순차적으로 공급하게 된다. 그리고 스캔구동부(17)는 서스테인기간 동안 스캔전극들(YU1 내지 YUn, YD1 내지 YDn)에 서스테인펄스를 동시에 공급하게 된다.

<37> 서스테인구동부(19)는 상부블록과 하부블록의 서스테인전극들(Z)에 공통으로 접속되고 스캔 구동부(17)와 교대로 동작하여 서스테인기간 동안 서스테인펄스를 서스테인전극들(Z)에 동시에 공급하게 된다.

<38> 제1 어드레스구동부(18A)는 어드레스기간 동안 상부블록에 포함된 어드레스전극들(XU1 내지 XUm)에 데이터를 공급하게 된다. 그리고 제2 어드레스구동부(18B)는 제1 어드레스 구동부(18A)와 동시에 구동되어 하부블록에 포함된 어드레스전극들(XD1 내지 XDm)에 데이터를 공급하게 된다.

<39> 컨트롤보드(13)는 도 3에서 알 수 있는 바, 디지털 비디오 데이터(RGB)와 동시신호(V,H)가 입력되는 디지털 데이터 수신부(31)와, 디지털 데이터 수신부(31)에 접속된 타이밍 컨트롤러(32) 및 디지털 비디오 컨트롤러(37)과, 타이밍 컨트롤러(32)에 접속된 메모리(33) 및 제1 버퍼(34)와, 제1 버퍼(34)에 접속된 제2 및 제3 버퍼(35,36)를 구비한다.

<40> 디지털 데이터 수신부(31)는 인터페이스보드(11)로부터 입력되는 디지털 비디오 데이터(RGB)를 적(R), 녹(G) 및 청(B)의 색신호별/프레임별로 정렬하여 디지털 비디오 컨트롤러(37)에 공급하고, 디지털 비디오 컨트롤러(37)로부터 입력되는 감마보정된 디지털

비디오 데이터(RGB)와 인터페이스보드(11)로부터 입력되는 동기신호(V,H)를 타이밍 컨트롤러(32)에 공급하게 된다.

<41> 디지털 비디오 컨트롤러(37)는 디지털 데이터 수신부(31)로부터의 데이터를 감마보정함과 아울러 미리 설정된 평균화상레벨(APL)에 따라 서스테인펄스수를 설정하여 서스테인펄스수정보와 함께 감마보정된 디지털 비디오 데이터를 디지털 데이터 수신부(31)에 공급한다.

<42> 타이밍 컨트롤러(32)는 디지털 데이터 수신부(31)로부터 입력되는 디지털 비디오 데이터(RGB)를 색신호별, 프레임별, 비트별로 분할하여 프레임 메모리(33)에 저장함과 아울러 각 서브필드에 동기하여 메모리(33)로부터 해당 서브필드에 맵핑된 비트 데이터를 읽어 들여 제1 버퍼(34)에 공급하게 된다. 이러한 타이밍 컨트롤러(32)는 시스템제어회로인 ASIC(Application Specific Integrated Circuit)으로 구현된다.

<43> 프레임 메모리(33)는 타이밍 컨트롤러(32)의 제어 하에 디지털 비디오 데이터를 색신호별, 프레임별, 비트별로 분리하여 저장하게 되며, 타이밍 컨트롤러(32)의 요청에 의해 저장된 데이터를 타이밍 컨트롤러(32)에 공급하게 된다. 이러한 프레임 메모리(33)는 SRAM, DRAM 등으로 구현된다.

<44> 제1 버퍼(34)는 타이밍 컨트롤러(32)로부터 입력되는 데이터를 상부블록 데이터와 하부블록 데이터로 분할하여 각각 제2 버퍼(35)와 제3 버퍼(36)에 공급하게 된다.

<45> 제2 버퍼(35)는 제1 버퍼(34)와 제1 어드레스 구동부(18A) 사이에 접속되어 제1 버퍼(34)로부터의 데이터를 신호 완충하여 제1 어드레스 구동부(18A)에 공급한다.

<46> 제3 버퍼(36)는 제1 버퍼(34)와 제2 어드레스 구동부(18B) 사이에 접속되어 제1 버퍼(34)로부터의 데이터를 신호 완충하여 제2 어드레스 구동부(18B)에 공급한다.

<47> 실제로, 종래 PDP의 모듈의 구성요소의 배치도는 도 4에 도시된 바와 같다.

<48> 여기서, 컨트롤 보드(13) 상에 실장된 타이밍 컨트롤러(32)의 시스템제어회로로 구성된 시스템제어부인 ASIC부는 통상 볼그리드어레이 패키지(Ball Grid Array Package; 이하 "BGA 패키지"라 함)로 형성된다. 이 때, ASIC부는 각종 구동신호의 입력 및 출력 기능을 담당하므로 I/O(input line/output line)의 신호선의 수가 300개 이상으로 많은 신호선을 필요로 하게 된다. 또한, ASIC부는 PDP의 해상도 및 기능에 따라 1 개 이상의 BGA패키지가 사용된다. 이 때, 다수의 BGA 패키지를 연결하는 BGA패키지 상호간의 I/O 신호선은 많은 영역에 걸쳐 배선되므로 신호선이 차지하는 배선면적도 많은 부분을 차지하게 된다. 아울러, 메모리부에 있는 프레임 메모리(33)들도 I/O 신호선의 대부분이 ASIC부에 사용되는 BGA 패키지의 I/O 신호선으로 연결되어 있으며 통상 TSOP(Thin Small Outline Package) 형태의 패키지로 제작된다. 그런데, ASIC부 및 메모리부에 사용되는 BGA 패키지 및 TSOP 패키지는 ASIC의 베어칩(bare chip)이나 메모리칩의 베어칩보다 수 배 이상 큰 크기를 갖게 된다. 이에 의해, 컨트롤 보드(13)의 PCB(Painted Circuit Board ; 인쇄회로기판)에 실장되는 타이밍 컨트롤러(32)의 ASIC 패키지들과 메모리 패키지들은 컨트롤 보드(13)의 PCB 상에서 큰 면적을 차지하게 된다. 또한, ASIC 패키지와 메모리 패키지들의 상호간의 I/O 신호선을 연결하기 위해서 컨트롤 보드(13)의 PCB 상에 많은 배선 면적이 필요하게 된다. 이렇게 많은 배선 면적을 걸쳐 형성되는 신호선들은 배선면적만큼 배선거리도 증가하여 이에 의한 인덕턴스의 증가를 초래하게 된다.

<49> 다시 말하면, 시스템제어칩(예를 들면, ASIC) 주변에 위치하게 되는 다수의 프레임 메모리(33)는 각각이 개별 패키지로 컨트롤 보드(13)의 PCB(Painte Circuit Board) 상에 실장 되기 때문에 PCB에서 차지하는 면적이 많게 된다. 그리고, 각각의 프레임 메모리(33)가 개별 실장됨으로 인해, 각 프레임 메모리(33)를 연결하기 위한 신호선들의 길이가 길어지게 되며 그만큼 서로 근접하여 형성되게 된다. 이에 의해, 상호 신호선 사이에 형성되는 인덕턴스가 증가하여 프레임 메모리(33)의 신호특성이 저하되게 된다. 즉, 종래 기술에 따른 PDP의 컨트롤 보드(13)는 개별적으로 실장되는 시스템제어회로 및 프레임 메모리(33)로 인해 상호간을 연결하는 신호선사이의 인덕턴스의 증가로 신호특성이 저하되는 문제가 있다. 또한, 종래 PDP는 컨트롤 보드(13)에서 ASIC 패키지 주변에 형성되는 다수의 프레임 메모리(33)들로 인해 PDP의 구동모듈의 크기가 상당히 크게 제작된다. 이는, 현재 요구되는 PDP의 컴팩트화 추세에 발맞추어 PDP의 구동 시스템의 크기를 줄이지 못하는 문제가 있다.

#### 【발명이 이루고자 하는 기술적 과제】

<50> 따라서, 본 발명의 목적은 구동회로의 전기적 특성을 향상시킴과 아울러 크기를 줄인 플라즈마 디스플레이 패널의 구동장치 및 그의 제조 방법을 제공하는 데 있다.

#### 【발명의 구성 및 작용】

<51> 상기 목적을 달성하기 위하여, 본 발명에 따른 플라즈마 디스플레이 패널의 구동장치는 플라즈마 디스플레이 패널을 제어하기 위한 적어도 하나 이상의 시스템제어회로와

데이터가 저장되는 적어도 하나 이상의 메모리가 하나의 패키지 내에서 집적되어 인쇄회로보드 상에 실장되는 멀티칩모듈을 구비하는 것을 특징으로 한다.

<52> 본 발명에 따른 플라즈마 디스플레이 패널의 구동장치에 있어서, 인쇄회로보드는 케이블을 경유하여 플라즈마 디스플레이 패널에 접속되는 것을 특징으로 한다.

<53> 본 발명에 따른 플라즈마 디스플레이 패널의 구동장치 제조방법은 적어도 둘 이상의 기판들 각각에 홀을 형성하는 단계와, 홀이 형성된 기판 상에 회로패턴을 형성하는 단계와, 기판의 홀을 통하여 상기 회로 패턴이 각각 전기적으로 연결되도록 형성된 기판들을 적층하여 합착하는 단계와, 기판들을 동시 소성하여 패키지를 형성하는 단계와, 플라즈마 디스플레이 패널을 제어하기 위한 적어도 하나 이상의 시스템제어회로와 데이터가 저장되는 적어도 하나 이상의 메모리 및 표면실장부품들을 패키지 상에 실장하는 단계와, 시스템제어회로와 메모리가 실장된 패키지의 표면을 보호하기 위해 코팅재를 패키지 전면에 도포하여 코팅하는 단계와, 패키지의 회로 패턴에 따라 패키지의 후면에 납구를 부착하는 단계를 포함한다.

<54> 본 발명에 따른 플라즈마 디스플레이 패널의 구동장치 제조방법에 있어서, 인쇄회로보드를 케이블을 경유하여 플라즈마 디스플레이 패널에 접속하는 것을 특징으로 한다.

<55> 상기 목적 외에 본 발명의 다른 목적 및 이점들은 첨부 도면을 참조한 본 발명의 바람직한 실시 예에 대한 설명을 통하여 명백하게 드러나게 될 것이다.

<56> 이하, 본 발명의 바람직한 실시 예를 도 5 내지 도 9을 참조하여 상세하게 설명하기로 한다.

<57> 본 발명의 실시 예에 따른 PDP의 구동시스템의 접속관계는 도 1 내지 도 2를 참조하여 설명하기로 한다.

<58> 도 1을 참조하면, 본 발명의 실시 예에 따른 PDP는 TV/PC 영상신호와 동기신호가 입력되는 인터페이스보드(11)와, 상용교류전원 AC 220[V]가 입력되는 교류-직류 변환기(이하, "AC-DC 변환기"라 함)(12)와, 인터페이스보드(11)와 AC-DC 변환기(12)에 접속되는 PDP 모듈(15)을 구비한다.

<59> 인터페이스보드(11)는 TV/PC 영상신호를 디지털 데이터로 변환하고 그 디지털 데이터를 PDP 모듈(15)에 공급함과 아울러 도시하지 않은 온스크린디스플레이 발생회로로부터 공급되는 온스크린디스플레이(OSD) 데이터와 도시하지 않은 리모콘으로 입력되는 리모콘 데이터를 PDP 모듈(15)에 공급한다.

<60> AC-DC 변환기(12)는 상용 교류전원 AC 220[V]에 대하여 직류로 변환하는 역할을 한다.

<61> PDP 모듈(15)은 상반부와 하반부가 분할 구동되는 PDP(16)와, PDP(16)의 어드레스 전극에 디지털 비디오 데이터를 공급하기 위한 어드레스 구동부(18A, 18B)와, PDP(16)의 스캔전극에 스캔신호와 서스테인신호를 공급하기 위한 스캔 구동부(17)와, 스캔 구동부(17)와 교대로 동작하여 PDP(16)의 서스테인전극에 서스테인신호를 공급하기 위한 서스테인 구동부(19)와, 인터페이스 보드(11)와 PDP(16)의 각 전극 구동부(17 내지 19) 사이에 접속되는 컨트롤보드(13)와, AC-DC 변환부(12)와 컨트롤보드(13) 및 PDP1(16)의 각 전극 구동부(17 내지 19) 사이에 접속되는 직류-직류 변환기(14)를 구비한다.

<62> PDP(16)는 도 2에 도시된 바와 같이, 매 수평라인당 하나의 서스테인전극쌍을 이루는 스캔전극들(YU1 내지 YUn, YD1 내지 YDn)과 서스테인전극들(ZU1 내지 ZUn)과, 서스테인전극쌍들(YU1 내지 YUn, YD1 내지 YDn, ZU1 내지 ZUn, ZD1 내지 ZDn)과 교차되고 분할된 어드레스전극들(XU1 내지 XUm, XD1 내지 XDm)을 구비한다.

<63> 스캔 구동부(17)는 스캔전극들(YU1 내지 YUn, YD1 내지 YDn)에 접속되어 리셋기간 동안 스캔전극들(YU1 내지 YUn, YD1 내지 YDn)에 리셋신호를 동시에 공급한 후에, 어드레스기간 동안 스캔펄스를 스캔전극들(YU1 내지 YUn, YD1 내지 YDn)에 순차적으로 공급하게 된다. 그리고 스캔구동부(17)는 서스테인기간 동안 스캔전극들(YU1 내지 YUn, YD1 내지 YDn)에 서스테인펄스를 동시에 공급하게 된다.

<64> 서스테인구동부(19)는 상부블록과 하부블록의 서스테인전극들(Z)에 공통으로 접속되고 스캔 구동부(17)와 교대로 동작하여 서스테인기간 동안 서스테인펄스를 서스테인전극들(Z)에 동시에 공급하게 된다.

<65> 제1 어드레스구동부(18A)는 어드레스기간 동안 상부블록에 포함된 어드레스전극들(XU1 내지 XUm)에 데이터를 공급하게 된다. 그리고 제2 어드레스구동부(18B)는 제1 어드레스 구동부(18A)와 동시에 구동되어 하부블록에 포함된 어드레스전극들(XD1 내지 XDm)에 데이터를 공급하게 된다.

<66> 본 발명의 실시예에 따른 PDP의 구동장치 중 하나인 컨트롤보드(13)는 도 5에 도시된 바와 같이, 디지털 비디오 데이터(RGB)와 동시신호(V,H)가 입력되는 디지털 데이터수신부(31)와, 디지털 데이터 수신부(31)에 접속된 멀티 칩 모듈(Multi-chip modul; 이하 "MCM"이라 함)(62) 및 디지털 비디오 컨트롤러(37)와, MCM(62)에 접속된 제1 버퍼(34)와, 제1 버퍼(34)에 접속된 제2 및 제3 버퍼(35, 36)를 구비한다.

<67> 디지털 데이터 수신부(31)는 인터페이스보드(11)로부터 입력되는 디지털 비디오 데이터(RGB)를 적(R), 녹(G) 및 청(B)의 색신호별/프레임별로 정렬하여 디지털 비디오 컨트롤러(37)에 공급하고, 디지털 비디오 컨트롤러(37)로부터 입력되는 감마보정된 디지털 비디오 데이터(RGB)와 인터페이스보드(11)로부터 입력되는 동기신호(V,H)를 MCM(62)에 공급하게 된다.

<68> 디지털 비디오 컨트롤러(37)는 디지털 데이터 수신부(31)로부터의 데이터를 감마보정함과 아울러 미리 설정된 평균화상레벨(APL)에 따라 서스테인펄스수를 설정하여 서스테인펄스수정보와 함께 감마보정된 디지털 비디오 데이터를 디지털 데이터 수신부(31)에 공급한다.

<69> MCM(62)은 디지털 데이터 수신부(31)로부터 입력되는 디지털 비디오 데이터(RGB)를 색신호별, 프레임별, 비트별로 분할하여 MCM(62) 상에 실장된 프레임 메모리에 저장함과 아울러 각 서브필드에 동기하여 메모리(33)로부터 해당 서브필드에 맵핑된 비트 데이터를 읽어 들여 제1 버퍼(34)에 공급하게 된다. 여기서, 프레임 메모리는 MCM(62) 상에 실장된 ASIC의 제어 하에 디지털 비디오 데이터를 색신호별, 프레임별, 비트별로 분리하여 저장하게 되며, MCM(62)의 요청에 의해 저장된 데이터를 MCM(62)에 공급하게 된다. 이러한 프레임 메모리는 SRAM, DRAM 등으로 구현된다.

<70> 여기서, MCM 패키지는 사용하는 기판의 종류에 따라 MCM-L, MCM-D, MCM-C로 나뉘어 진다. MCM-L은 일반 PCB에 사용되는 재료인 글래스 에폭시(Glass Epoxy)의 FR-4를 기판 재료로 사용하게 된다. 이 기판은 가격이 저렴한 장점이 있으나 실장밀도가 낮고 열을 방출하는 방열특성이 나쁜 단점이 있다. MCM-D는 Si 웨이퍼(Wafer)나 세라믹을 기판재료로 사용하게 된다. 이 기판은 배선밀도가 높고 방열특성이 우수하여 고속, 고성능 신

호를 처리하는 데 유용한 장점이 있다. MCM-C는 전술한 MCM-L 및 MCM-D 형태의 중간적인 특성을 가지는 형태로서 세라믹을 기판재료로 사용하게 된다. 이 기판은 세라믹을 기판 재료로 사용하므로 방열특성이 우수한 장점이 있다. 본 발명의 실시예에 따른 PDP 구동장치의 컨트롤보드에서는 MCM-C형태의 MCM을 채용한다.

- <71> 제1 버퍼(34)는 MCM(62)으로부터 입력되는 데이터를 상부블록 데이터와 하부블록 데이터로 분할하여 각각 제2 버퍼(35)와 제3 버퍼(36)에 공급하게 된다.
- <72> 제2 버퍼(35)는 제1 버퍼(34)와 제1 어드레스 구동부(18A) 사이에 접속되어 제1 버퍼(34)로부터의 데이터를 신호 완충하여 제1 어드레스 구동부(18A)에 공급한다.
- <73> 제3 버퍼(36)는 제1 버퍼(34)와 제2 어드레스 구동부(18B) 사이에 접속되어 제1 버퍼(34)로부터의 데이터를 신호 완충하여 제2 어드레스 구동부(18B)에 공급한다.
- <74> 실제로, 본 발명의 실시예에 따른 PDP의 구동장치의 배치도는 도 6에 도시된 바와 같다.
- <75> 본 발명의 실시예에 따른 PDP의 구동장치 중 하나인 컨트롤 보드(13)의 시스템제어 회로인 구동 ASIC과 프레임 메모리는 MCM형태로 제작된다. 즉, 종래 별도의 패키지로 형성되어 배치되었던 ASIC과 프레임 메모리를 하나의 패키지인 MCM 패키지(62)로 제작하게 된다. 그 결과, 본 발명의 실시예에 따른 PDP의 컨트롤 보드는 종래에 비해 1/2 크기로 축소된다.
- <76> MCM패키지(62) 제조방법은 도 7에 도시된 바와 같다.
- <77> 도 7을 참조하면, MCM 패키지의 제작공정은 틀에 감겨진 그린테잎을 미리 설정된 크기로 절단함으로써 시작된다.(S71 단계) 이 때, 그린테잎(71a 내지 71d)은 회로패턴

(74)이 형성되는 기판용 그린테잎으로서 가공되어 형성된다. 여기서, 그린테잎은 유리 분말에 그 유리분말의 점도를 유지하는 결합제, 경화를 방지하도록 유연성을 제공하기 위한 가소제, 상기 결합제와 가소제를 용해시키기 위한 용매 및 그 외 다른 소량의 첨가제가 혼합된 슬러리를 건조한 다음, 그 슬러리를 테잎캐스팅방법으로 일정한 두께로 가공함으로써 형성되고 롤에 감겨지게 된다. 본 발명의 실시예에 따른 PDP의 컨트롤보드에 사용되는 그린테잎은 LTCC(Low Temperature co-fired ceramic)타입으로 저온 동시소성이 가능한 특성을 가진다.

<78> S71 단계에 의해 마련된 4 장의 그린테잎(71a 내지 71e)에는 기계적인 천공(punching)으로 다수의 비아홀(Via hole)(72)이 형성된다.(S72 단계) 이 때, 그린테잎은 4장을 마련해야하는 것이 아니라 제조하고자 하는 MCM의 회로구성에 따라 다수 장으로 절단된 그린테잎을 마련할 수 있다.

<79> 이어서, 그린테잎(71a 내지 71d)의 비아홀(16) 내에는 도전성 페이스트(73)가 충진된 후, 충진된 페이스트가 건조된다.(S73 단계) 비아홀(72) 내에 충진된 도전성물질은 Ag 페이스트와 같은 도전성 페이스트를 사용하게 된다. 이러한 도전성물질은 후공정에서 각각의 그린테잎(71a 내지 71d) 상에 형성되는 회로패턴(74)들을 각각 전기적으로 연결시키는 역할을 한다.

<80> S73 단계에 의해 도전성물질(73)이 비아홀(72) 내에 충진된 후, 각 그린테잎(71a 내지 71d) 상에는 스크린 프린트 방법 등을 이용하여 회로패턴(74)이 각각 형성된다.(S74 단계) 회로패턴을 형성하는 물질에는 Ag 페이스트와 같은 도전성 페이스트가 사용된다.

<81> S74 단계에 의해 전극패턴이 형성된 그린테잎(71a 내지 71d)은 회로구성에 따라 위치에 맞게 각 그린테잎들(71a 내지 71d)이 순차적으로 정렬된다.(S75 단계)

<82> 네 장의 기판용 그린테잎들(71a 내지 71d)이 S75 단계에 의해 적층형태로 정렬되면 라미네이팅(laminating) 공정에 의해 네 장의 그린테잎들(71a 내지 71d)이 적층된 형태로 합착된다.(S76 단계) 라미네이팅공정은 프레스(Press)를 사용하여 적층된 그린테잎에 소정의 압력을 가하여 압착시키는 공정이다.

<83> S76 단계에 의해 합착된 그린테잎들(71a 내지 71d)은 소정의 열에 의해 동시소성(co-firing)된다.(S77 단계) S77 단계에 의해 동시소성된 기판용 그린테잎들(71a 내지 71d) 각각은 세라믹 기판 역할을 하게 되며, S77 단계에 의해 적층된 세라믹 기판들은 다수의 회로층을 가지는 회로 패키지(78)로 된다.

<84> S77 단계에 의해 마련된 패키지(78)의 상면에는 ASIC(83), 프레임 메모리(86), 및 저항(R), 인덕터(L), 캐패시터(C) 등의 수동소자(Passive device), 트랜지스터(Transister)와 같은 SMD(surface mounting device ; 표면실장부품)(82) 등이 실장되며, 각 실장부품의 신호선에 맞게 Au과 같은 물질을 이용하여 wire-bonding(선 접합)을 실시한다.(S78단계)

<85> S78 단계에 의해 형성된 패키지(79)의 최상측 즉, 전면 상에는 보호층 역할을 하는 물질(85)이 전면코팅된다.(S79 단계) 이 때, 코팅물질은 합성수지계열의 재료를 사용하게 된다.

<86> 마지막으로, 솔더 볼 리플로우(Solder Ball Reflow) 공정을 이용하여 솔더볼(84)들은 S79단계에서 제작된 패키지(80)의 저면에 위치한 입/출력 패드들 각각에 부착된다.(S80단계)

<87> 이러한 공정을 통해 제작된 MCM 패키지는 도 8에 도시된 바와 같이 전면에는 여러 부품이 실장되며 후면에는 솔더볼 즉 납구가 부착된다.

<88> 본 발명의 실시예에 따른 PDP의 구동장치는 컨트롤 보드(13)의 시스템제어칩인 ASIC 및 프레임 메모리가 MCM 패키지(81)에 실장된다. 이러한 MCM 패키지(81)는 BGA패키지(Ball Grid Array)의 제조공정과 유사하며 종래 PDP의 컨트롤 보드에 사용된 BGA패키지인 ASIC의 크기로 제작된다. 따라서, 도 9에 도시된 바와 같이 종래 PDP의 컨트롤 보드(a)에서 ASIC 및 프레임 메모리등이 차지하던 영역(32)에 비해 본 발명의 실시예에 따른 ASIC 및 프레임 메모리 등이 실장된 MCM 패키지(62)는 1/8 크기로 축소된다. 그 결과, 본 발명에 따른 PDP의 컨트롤보드(b)의 크기는 종래 PDP의 컨트롤보드(a)보다 1/2 만큼 축소된다.

<89> 이에 의해 ASIC 및 프레임 메모리 등이 MCM 패키지(62) 상에 실장되어 패키지(62) 내에서 I/O신호선들이 연결되기 때문에 종래 PDP에서 컨트롤 보드(a)의 PCB 상에 요구되는 I/O의 신호선의 배선면적이 필요하지 않게 되며 패키지에서의 I/O 신호선의 수도 상호간에 연결된 I/O신호선 수만큼 줄어든다.

<90> 또한, 본 발명의 실시예에 따른 PDP 구동장치에서 컨트롤 보드(b)는 컨트롤 보드(b)의 PCB 상에 요구되는 배선면적이 없기 때문에 인덕턴스가 감소하고 그만큼 전자파의 발생이 줄어들게 된다. 따라서, 신호선 사이에 인덕턴스가 감소됨으로 인해 본 발명의

실시예에 따른 PDP 구동장치는 구동장치에 실장되는 구동회로의 전기적 특성이 향상된다.

<91> 그리고 본 발명의 실시예에 따른 PDP 구동장치는 종래 여러 개의 부품 패키지를 실장하였는데 반해 하나의 패키지인 MCM 패키지만 실장되므로 부품 실장 수를 줄여 비용을 감소시키는 효과도 있다.

### 【발명의 효과】

<92> 상술한 바와 같이, 본 발명에 따른 PDP 구동장치는 컨트롤 보드의 시스템제어칩인 ASIC 및 프레임 메모리를 하나의 패키지에 실장함으로써 종래 PDP에 비해 컨트롤 보드의 크기를 1/2로 축소할 수 있게 된다.

<93> 또한, ASIC 및 프레임 메모리 등이 MCM 패키지 상에 실장되어 패키지 내에서 I/O의 신호선들이 연결되기 때문에 종래 PDP에서 컨트롤 보드에 요구되는 I/O의 신호선의 배선 면적이 필요하지 않게 되며 MCM 패키지에서의 I/O 신호선의 수도 상호간에 연결된 I/O신호선 수만큼 줄어든다. 따라서, 신호선 사이의 인덕턴스가 감소하여 PDP 구동회로의 전기적 특성이 향상된다.

<94> 나아가, 본 발명의 실시예에 따른 PDP 구동장치는 컨트롤 보드의 PCB의 크기를 종래보다 약 50% 감소되어 신호선의 전기적 특성이 향상됨으로써 전자파 발생이 감소된다.

<95> 그리고 본 발명의 실시예에 따른 PDP 구동장치는 종래 여러 개의 부품 패키지를 실장하였는데 반해 하나의 패키지인 MCM 패키지만 실장되므로 부품 실장 수를 줄여 비용을 감소시킬 수 있다.

<96> 이상 설명한 내용을 통해 당업자라면 본 발명의 기술사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특히 청구의 범위에 의해 정하여져야만 할 것이다.

**【특허청구범위】****【청구항 1】**

플라즈마 디스플레이 패널을 제어하기 위한 적어도 하나 이상의 시스템제어회로와 데이터가 저장되는 적어도 하나 이상의 메모리가 하나의 패키지 내에서 집적되어 인쇄회로보드 상에 실장되는 멀티칩모듈을 구비하는 것을 특징으로 하는 플라즈마 디스플레이 패널의 구동장치.

**【청구항 2】**

제 1 항에 있어서,

상기 인쇄회로보드는 케이블을 경유하여 상기 플라즈마 디스플레이 패널에 접속되는 것을 특징으로 하는 플라즈마 디스플레이 패널의 구동장치.

**【청구항 3】**

적어도 둘 이상의 기판들 각각에 홀을 형성하는 단계와,

상기 홀이 형성된 기판 상에 회로패턴을 형성하는 단계와,

상기 기판의 홀을 통하여 상기 회로 패턴이 각각 전기적으로 연결되도록 형성된 기판들을 적층하여 합착하는 단계와,

상기 기판들을 동시 소성하여 패키지를 형성하는 단계와,

플라즈마 디스플레이 패널을 제어하기 위한 적어도 하나 이상의 시스템제어회로와 데이터가 저장되는 적어도 하나 이상의 메모리 및 표면실장부품들을 상기 패키지 상에 실장하는 단계와,

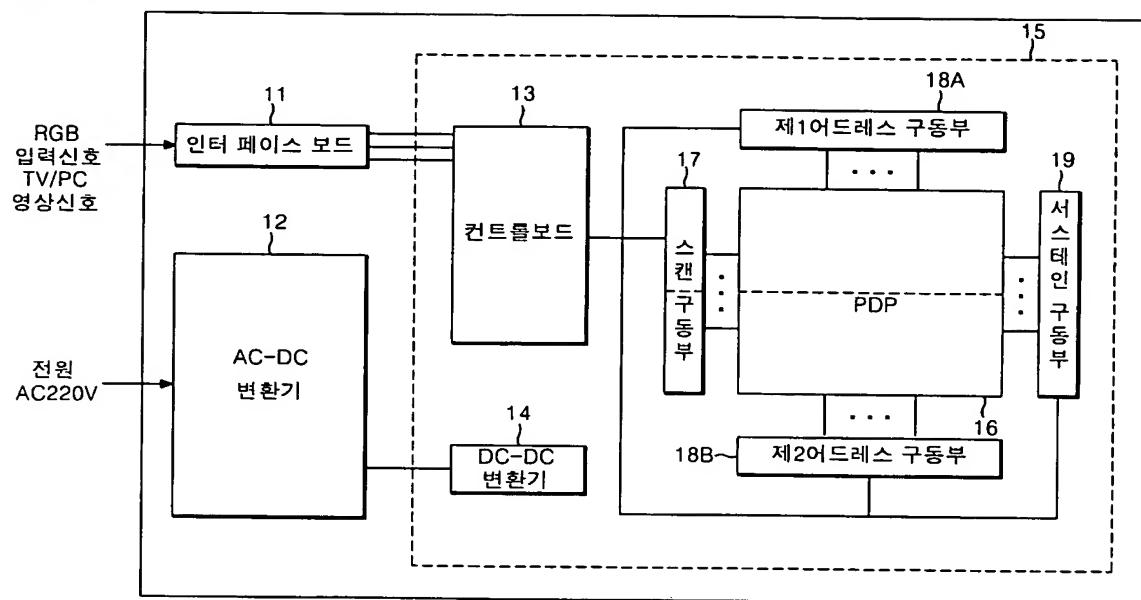
상기 시스템제어회로와 상기 메모리가 실장된 상기 패키지의 표면을 보호하기 위해 코팅재를 상기 패키지 전면에 도포하여 코팅하는 단계와,  
상기 패키지의 회로 패턴에 따라 상기 패키지의 후면에 납구를 부착하는 단계를 포함하는 것을 특징으로 하는 플라즈마 디스플레이 패널의 구동장치의 제조방법.

#### 【청구항 4】

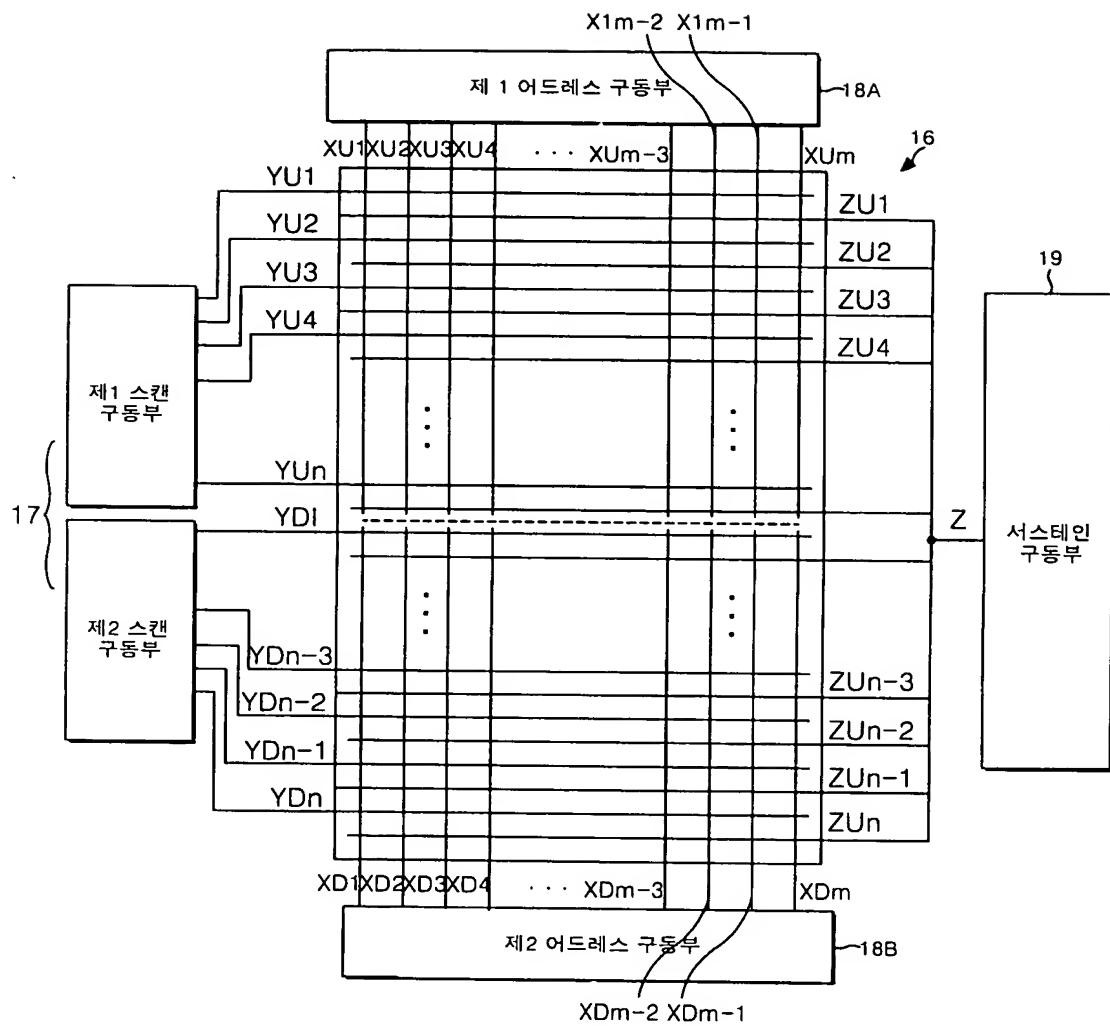
제 3 항에 있어서,  
상기 인쇄회로보드를 케이블을 경유하여 상기 플라즈마 디스플레이 패널에 접속하는 것을 특징으로 하는 플라즈마 디스플레이 패널의 구동장치의 제조방법.

## 【도면】

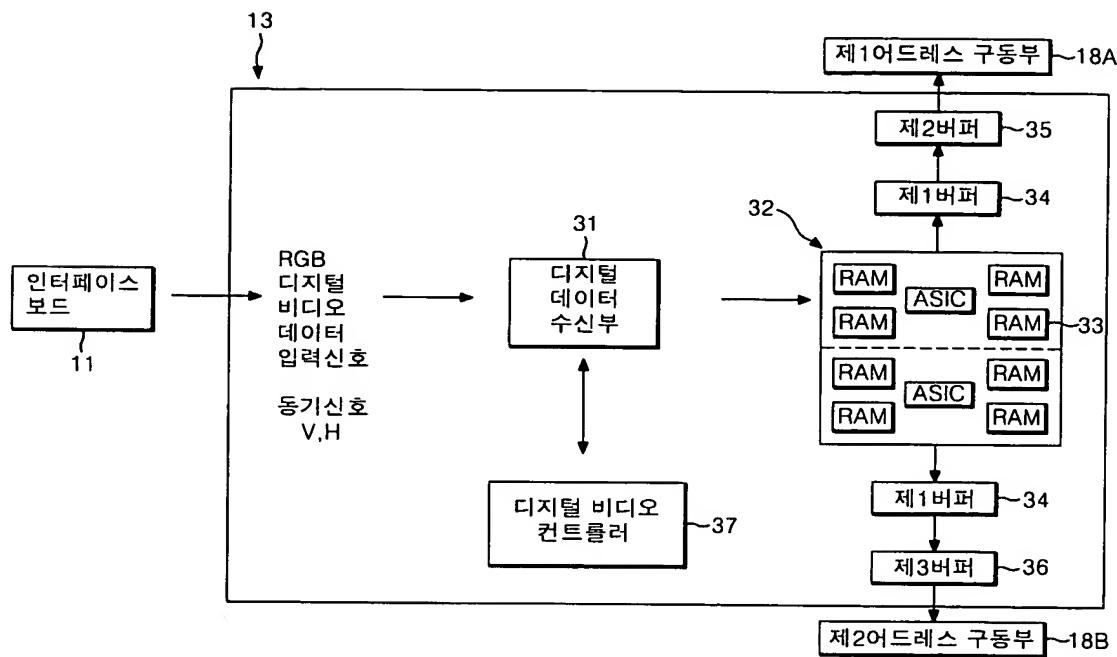
【도 1】



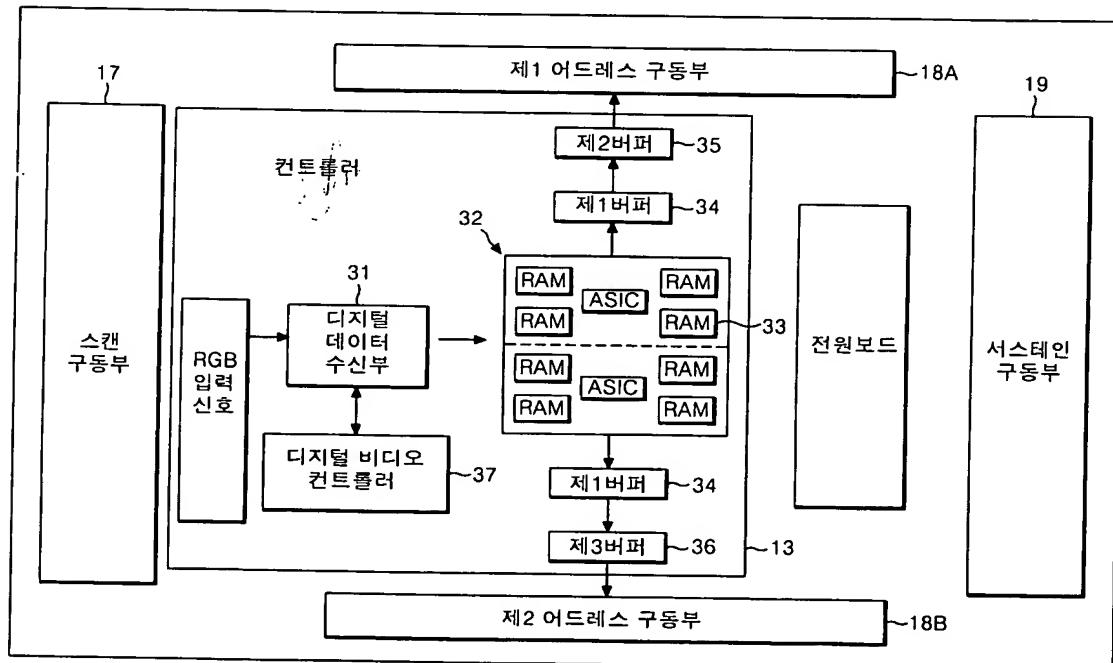
【도 2】



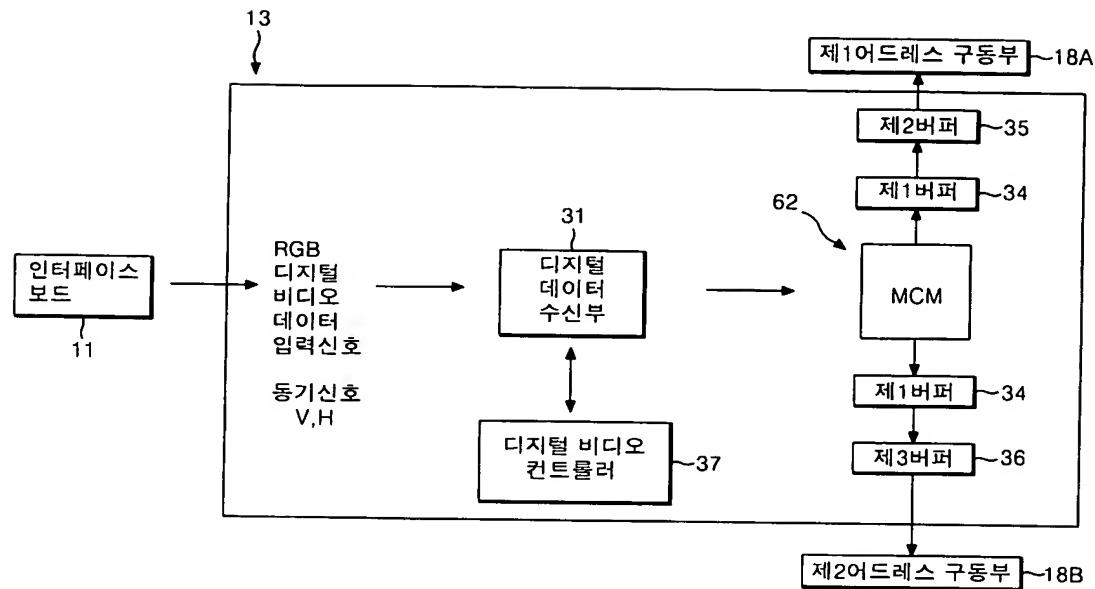
【도 3】



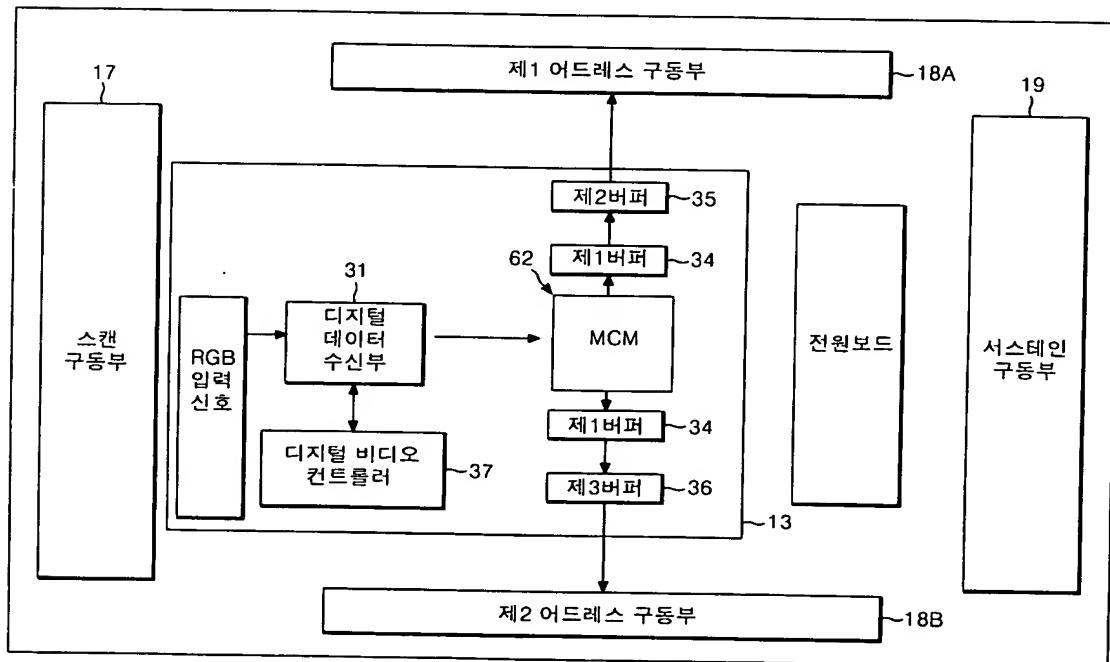
【도 4】



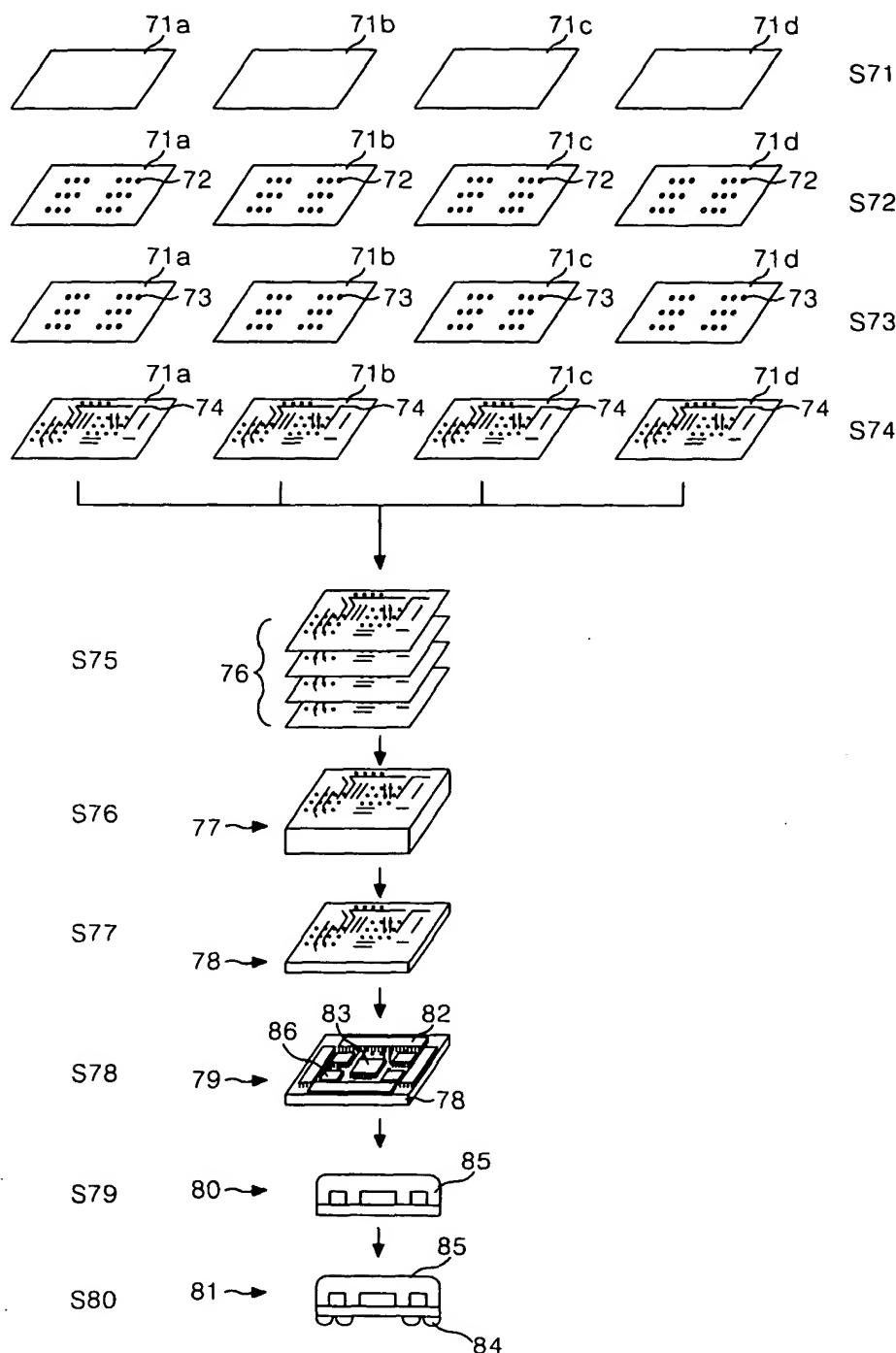
【도 5】



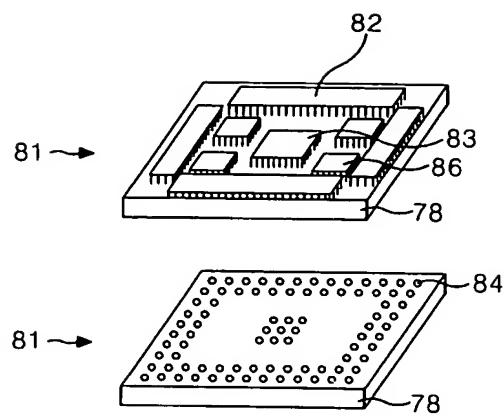
【도 6】



【도 7】



【도 8】



【도 9】

